

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-174822

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月23日

G 02 F 1/136

5 0 0

9018-2K

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 アクティブマトリクス型液晶表示パネル

⑰ 特 願 平2-303552

⑱ 出 願 平2(1990)11月8日

⑲ 発 明 者 大 浦 道 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 星 屋 隆 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

アクティブマトリクス型液晶表示パネル

2. 特許請求の範囲

(1) アクティブマトリクス基板(1)と共通電極基板(2)との間に形成された液晶封入空間に液晶(3)を封止してなるアクティブマトリクス型液晶表示パネルにおいて、

前記アクティブマトリクス基板(1)上に各画素電極(19)に接続される複数の薄膜トランジスタ(10)を設け、該薄膜トランジスタ(10)のゲート電極(14)とスキャン信号電極(40)の間にそれぞれコンデンサ(18)を介挿させることを特徴としたアクティブマトリクス型液晶表示パネル。

(2) 前記コンデンサ(18)の静電容量が前記薄膜トランジスタ(10)のゲート容量の10倍以上の値であることを特徴とした請求項(1)記載のアクティブマトリクス型液晶表示パネル。

3. 発明の詳細な説明

〔概要〕

アクティブマトリクス型液晶表示パネルに関し、アクティブマトリクス基板の欠陥を無くして液晶表示装置の歩留りを改善すると共に品質・信頼性を向上させることを目的とし、

アクティブマトリクス基板と共通電極基板との間に形成された液晶封入空間に液晶を封止してなるアクティブマトリクス型液晶表示パネルにおいて、前記アクティブマトリクス基板上に各画素電極に接続される複数の薄膜トランジスタを設け、該薄膜トランジスタのゲート電極とスキャン信号電極の間にそれぞれコンデンサを介挿させてアクティブマトリクス型液晶表示パネルを構成する。

〔産業上の利用分野〕

本発明はアクティブマトリクス型液晶表示パネルの構成、とくに、薄膜トランジスタを含む画素構成の無欠陥化のための改良に関する。

近年、液晶表示装置の改良普及にともない大容

量化とカラー化への要請が強くなってきた。とくに、薄膜トランジスタをスイッチング素子として使用するアクティブマトリクス型液晶表示装置はその性能品質が優れ幅広いニーズが期待されており、今後ますます歩留りの向上、品質安定性および長期信頼性の改善が強く求められている。

〔従来の技術〕

第3図はアクティブマトリクス型液晶表示パネルの外観を示す斜視図である。図中、1はアクティブマトリクス基板で透明基板11の上に薄膜トランジスタ素子アレイが形成され、各素子には表示画素に対応して透明な画素電極が配設されている。

40および50は各薄膜トランジスタ素子のゲートおよびドレインが結合されたスキャン信号電極およびデータ信号電極であり、その上には配向膜12が設けられている。一方、2は共通電極基板で透明基板20の上に透明なベタ電極21と配向膜22が積層形成されている。両基板は配向膜面を中にして狭い空間が形成されるように図示していないスペー

サを挟み基板の周縁部を同じく図示していないシール材で密閉接着し、その空間に液晶3を注入封止してアクティブマトリクス型液晶表示パネルが構成されている。なお、本図は白黒表示用の場合であるが、これにカラーフィルタを付加すればカラー液晶表示パネルが構成される。

第4図は薄膜トランジスタの構成例を示す図で前記第3図で説明したアクティブマトリクス基板1の薄膜トランジスタ素子群の一部を概念的に拡大して示したものである。

図中、10は薄膜トランジスタで、スキャン信号電極40から張り出したゲート14、たとえば、Tiなどの金属薄膜配線と図示していないゲート絶縁膜の上に動作半導体層15、たとえば、アモルファスシリコン膜(a-Si膜)が形成され、その両側からデータ信号電極50に接続されるドレインと、たとえば、ITO(In_2O_3 - SnO_2)からなる透明な画素電極19に接続されるソースが配設されて薄膜トランジスタが構成されている。その動作メカニズムは公知であるので説明は省略する。

第5図は従来の画素構成の例を示す図(その1)で、前記第4図に示した画素構成のうちの1画素について回路図的に表した概念図である。図中、13はドレイン、16はソースである。

なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

すなわち、画素を構成する透明な画素電極19の1つづつに1つの薄膜トランジスタ10が接続されて、スキャン信号電極40、すなわち、ゲートバスラインに走査信号が加わると薄膜トランジスタ10がスイッチ・オンされて、たとえば、その部分の液晶セルが光遮断の状態になって暗となり、その逆の場合には明となる。同様に画面全体の画素を制御すれば所要の画像表示が行われる。

第6図は従来の画素構成の例を示す図(その2)で、この場合は1つの画素電極19に2つの薄膜トランジスタ10aと10bとを接続した例である。すなわち、冗長構成を採用した例で、たとえば、一方の薄膜トランジスタがオープン不良になった

場合にも、もう一方の薄膜トランジスタによって書き込みが行われるので画素欠陥が発生せず正常な表示動作が継続でき、第5図の薄膜トランジスタ1つの構成の場合に比較して大巾に歩留りが向上し実用装置に広く使用されるようになっている。

〔発明が解決しようとする課題〕

しかし、上記従来の冗長構成のアクティブマトリクス型液晶表示パネルでは、一方の薄膜トランジスタ10のオープン不良に対しては大きな効果を発揮するが、薄膜トランジスタ10のショート不良に対しては必ずしも有効とは言えない。たとえば、一方の薄膜トランジスタのゲートとソース間がショートした場合には、画素電極19の電位がゲート電位と常時等しくなり画素欠陥となってしまう。これを修復するには不良トランジスタの位置を同定しレーザでその不良トランジスタを切り離さなければならない。また、一方の薄膜トランジスタのゲートとドレイン間がショートした場合には、そのゲートバスラインおよびドレインバスライン

に沿う線欠陥が生じてしまう。これを修復するには、同様に、不良トランジスタの位置を同定しレーザでその不良トランジスタを切り離さなければならず、いずれも大変に作業時間を必要とするばかりでなく困難な作業であるという問題が生じており、その解決が求められていた。

〔課題を解決するための手段〕

上記の課題は、アクティブマトリクス基板1と共通電極基板2との間に形成された液晶封入空間に液晶を封止してなるアクティブマトリクス型液晶表示パネルにおいて、前記アクティブマトリクス基板1上に各画素電極19に接続される複数の薄膜トランジスタ10を設け、該薄膜トランジスタ10のゲート電極14とスキャン信号電極40の間にそれぞれコンデンサ18を介挿させたアクティブマトリクス型液晶表示パネルによって解決することができる。具体的には、前記コンデンサ18の静電容量が前記薄膜トランジスタ10のゲート容量の10倍以上の値であるように構成することにより効果的に

る。

図中、18(18a, 18b)はコンデンサで、たとえば薄膜トランジスタ10(10a, 10b)を形成するとき同時に形成された薄膜コンデンサで、いずれもそれぞれのゲート14とスキャン信号電極(ゲートバスライン)の間に介挿されるように構成されている。

なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

通常、アクティブマトリクス型液晶表示パネルに使用される薄膜トランジスタ10のゲート容量は0.005pF程度であり、ゲートバスラインとゲート14の間に直列に接続されるコンデンサ18にかかる電圧は静電容量に反比例するので、コンデンサ18の静電容量を大きくするほどスキャン信号電圧を薄膜トランジスタ10のゲート14に有効にかけることができる。実用的にはゲートバスラインの電圧振巾の90%以上をゲート14に印加できるようにするためにコンデンサ18の静電容量を0.05pF程度に設計した。

解決できる。

〔作用〕

本発明によれば、薄膜トランジスタ10の一方の、たとえば、薄膜トランジスタ10aのゲート14aとソース16a間にショートが発生しても、スキャン信号電極40、すなわち、ゲートバスラインとゲート14aとの間にはコンデンサ18aが介挿されているので画素電極19の電位がゲート電位と等しくなることはなく、画素電極19への表示データの書き込みはもう一方の薄膜トランジスタ10bによって正常に行うことができる。また、薄膜トランジスタ10bのゲート14bとドレイン16b間にショートが発生しても、ゲートバスラインとゲート間にコンデンサ18bが存在するために、ゲートおよびドレインの両バスラインの引っ張り合いによる線欠陥が生じることがないのである。

〔実施例〕

第1図は本発明実施例の画素構成を示す図であ

このように構成することにより、薄膜トランジスタ10の一方の、たとえば、薄膜トランジスタ10aのゲート14aとソース16a間にショートが発生しても、スキャン信号電極40、すなわち、ゲートバスラインとゲート14aの間には大きな静電容量のコンデンサ18aが介挿されているので画素電極19の電位がゲート電位と等しくなることはなく、画素電極19への表示データの書き込みはもう一方の薄膜トランジスタ10bによって正常に行うことができる。また、薄膜トランジスタ10bのゲート14bとドレイン16b間にショートが発生しても、ゲートバスラインとゲート間にコンデンサ18が存在するために、ゲートおよびドレイン間の電位の近接化、いわゆる、両バスラインの引っ張り合いによる線欠陥が生じることがなく正常に表示動作を行うことができる。

なお、上記実施例では薄膜トランジスタ10が1画素当たり2個の場合を示したが、3個以上の場合であってもそれぞれの薄膜トランジスタ10にコンデンサ18を接続して本発明を適用できることは

勿論である。

第2図は本発明実施例の要部の構造を示す図で、同図(イ)は上面図、同図(ロ)はA-A断面図、同図(ハ)はB-B断面図である。

図中、17はコンデンサ電極、30はゲート絶縁膜、31は保護膜、32はコンタクト層である。なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

スキャン信号電極(ゲートバスライン)40として巾 $10\mu\text{m}$ 程度の、たとえば、 Al/Ti の2層膜を用い、そこから $5\mu\text{m}$ 程度のギャップを開けて巾 $10\mu\text{m}$ 、長さ $50\sim 60\mu\text{m}$ の同じく Al/Ti の2層膜からなるゲート14を形成し、その上にゲート絶縁膜30として、たとえば誘電率が6.7の SiN 膜を厚さ 300nm 程度に形成する。そのあとでゲート14の先端部分に通常の工程により薄膜トランジスタ10を作製し、データ信号電極(ドレインバスライン)50とドレイン13を形成する際に、たとえば、厚さ 700nm 程度の Al/Ti の2層膜から

なるコンデンサ電極17を同時形成する。コンデンサ電極17の大きさは、たとえば、長さ $60\sim 70\mu\text{m}$ 、巾 $10\sim 15\mu\text{m}$ とし、第2図(イ)(ロ)に示したとき配置で形成する。

このように構成することによりスキャン信号電極(ゲートバスライン)40とコンデンサ電極17との間にゲート絶縁膜30を誘電体として静電容量 C_1 が、また、ゲート14とコンデンサ電極17との間にゲート絶縁膜30を誘電体として静電容量 C_2 が形成され、結局、両者が直列に接続されたコンデンサ18がスキャン信号電極(ゲートバスライン)40とゲート14との間に介挿される。以上の実施例の構成で合成静電容量は $0.05\sim 0.1\text{PF}$ が得られる。なお、図では1ゲート部分だけについて示したが実際には2次元的に多数の素子が同時形成されてアクティブマトリクス基板1が構成されていることは言うまでもない。

このアクティブマトリクス基板1を用いることにより本発明のアクティブマトリクス型液晶表示パネルが作製され極めて優れた動作信頼性が得ら

れる。

なお、上記実施例は一例を示したもので、本発明の趣旨に添うものであれば、使用する部材やそれらの組み合わせ、あるいは、各部分の構成などは適宜最適なものを選択使用して本発明を実現してよいことは言うまでもない。

〔発明の効果〕

以上説明したように、本発明によれば薄膜トランジスタ10の一方の、たとえば、薄膜トランジスタ10aのゲート14aとソース16a間にショートが発生しても、スキャン信号電極40、すなわち、ゲートバスラインとゲート14aとの間にはコンデンサ18aが介挿されているので画素電極19の電位がゲート電位と等しくなることはなく、画素電極19への表示データの書き込みはもう一方の薄膜トランジスタ10bによって正常に行うことができる。また、薄膜トランジスタ10bのゲート14bとドレイン16b間にショートが発生しても、ゲートバスラインとゲート間にコンデンサ18bが存在するた

めに、ゲートおよびドレインの両バスラインの引っ張り合いによる線欠陥が生じることがないので、アクティブマトリクス型液晶表示パネルの歩留りおよび品質・信頼性の向上に寄与するところが極めて大きい。

4. 図面の簡単な説明

第1図は本発明実施例の画素構成を示す図、

第2図は本発明実施例の要部の構造を示す図、

第3図はアクティブマトリクス型液晶表示パネルの外観を示す斜視図、

第4図は薄膜トランジスタの構成例を示す図、

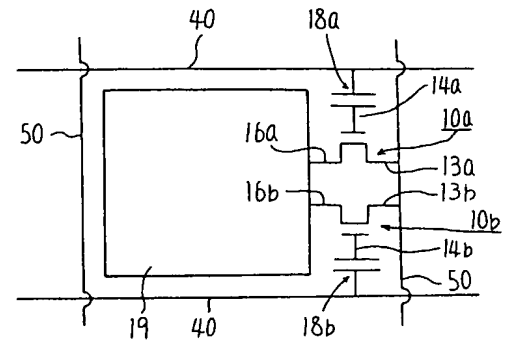
第5図は従来の画素構成の例を示す図(その1)、

第6図は従来の画素構成の例を示す図(その2)である。

図において、

- 1 はアクティブマトリクス基板、
- 2 は共通電極基板、
- 3 は液晶、

10(10a, 10b)は薄膜トランジスタ、
 11は透明基板、
 13(13a, 13b)はドレイン、
 14(14a, 14b)はゲート、
 16(16a, 16b)はソース、
 17はコンデンサ電極、
 18(18a, 18b)はコンデンサ、
 19は画素電極、
 40はスキャン信号電極(ゲートバスライン)、
 50はデータ信号電極(ドレインバスライン)である。



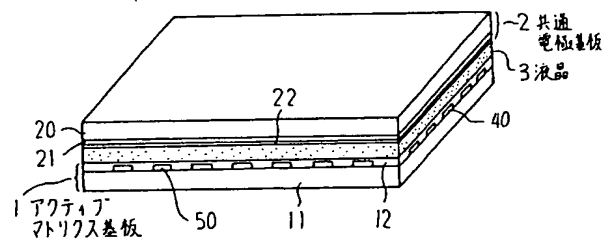
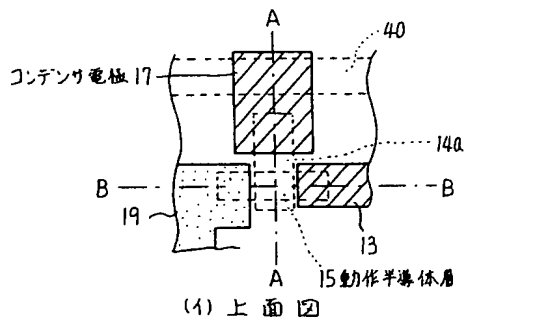
10(10a, 10b): 薄膜トランジスタ
 13(13a, 13b): ドレイン
 14(14a, 14b): ゲート
 16(16a, 16b): ソース
 18(18a, 18b): コンデンサ
 19: 画素電極
 40: スキャン信号電極(ゲートバスライン)
 50: データ信号電極(ドレインバスライン)

代理人 弁理士 井桁 貞



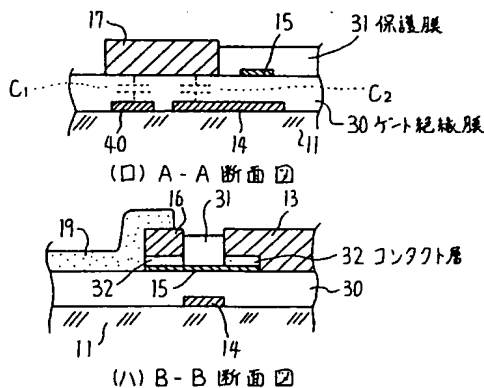
本発明実施例の画素構成を示す図

第 1 図



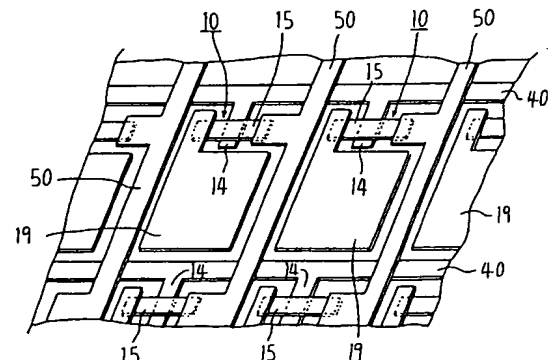
アクティブマトリクス型液晶表示パネルの外観を示す斜視図

第 3 図



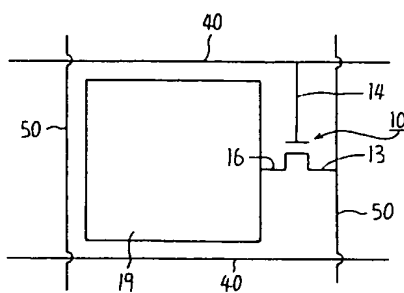
本発明実施例の要部の構造を示す図

第 2 図

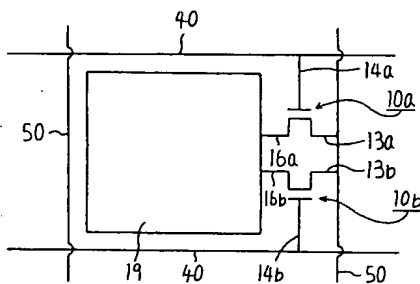


薄膜トランジスタの構成例を示す図

第 4 図



従来の画素構成の例を示す図(その1)
第 5 図



従来の画素構成の例を示す図(その2)
第 6 図